

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

004115670

WPI Acc No: 1984-261211/198442

**Crystallisation of semiconductor thin film islands - using
mono-crystallisation of small islands by fusion recrystallisation**

NoAbstract Dwg 0/5

Patent Assignee: SEIKO DENSHI KOGYO KK (DASE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 59161014	A	19840911	JP 8334890	A	19830303	198442 B

Priority Applications (No Type Date): JP 8334890 A 19830303

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 59161014	A	9		
-------------	---	---	--	--

Title Terms: CRYSTAL; SEMICONDUCTOR; THIN; FILM; ISLAND; MONO; CRYSTAL;
ISLAND; FUSE; RECRYSTALLISATION; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/20

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

01449414 **Image available**

CRYSTALLIZATION OF SEMICONDUCTOR THIN FILM

PUB. NO.: **59-161014** [JP 59161014 A]

PUBLISHED: September 11, 1984 (19840911)

INVENTOR(s): SHINPO MASAFUMI

APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 58-034890 [JP 8334890]

FILED: March 03, 1983 (19830303)

INTL CLASS: [3] H01L-021/20; H01L-021/263

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R016 (ZONE MELTING)

JOURNAL: Section: E, Section No. 290, Vol. 09, No. 10, Pg. 115,
January 17, 1985 (19850117)

ABSTRACT

PURPOSE: To contrive to enhance performance, and to reduce cost of a semiconductor thin film by a method wherein the island type semiconductor thin film consisting of an additional region part and a main body region part is formed, a beam is projected at first to the additional region to convert into a single crystal, and the main body region part is crystallized in succession.

CONSTITUTION: A semiconductor device such as TFT, etc. is formed in the future in a main body region part 2, and a sufficient area necessary therefore is provided thereto. An additional region part 3 has sufficiently narrow width W to facilitate conversion into a single crystal when it is recrystallized, and moreover has sufficient length L to reduce a thermal influence to be generated owing to existence of the main body part 2. The narrower width W becomes, the more it is desirable, and width is selected typically to 5. μ m or less, length L is to width W or more, and moreover desirably 10. μ m or more is selected. This device is applied to a system

wherein after a converged laser beam 10 is scanned in a high speed in the (x) direction, the beam is displaced smaller than beam width D in the (y) direction, and scanned in a high speed in parallel with the (x) axis again.

In any case, it is necessary to form arrangement as to make the additional region part 3 to be annealed faster than the main body region part 2.

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—161014

⑮ Int. Cl.³
H 01 L 21/20
21/263

識別記号

庁内整理番号
7739—5F

⑯ 公開 昭和59年(1984)9月11日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 半導体薄膜結晶化方法

⑰ 特 願 昭58—34890

⑱ 出 願 昭58(1983)3月3日

⑲ 発 明 者 新保雅文

東京都江東区亀戸6丁目31番1

号株式会社第二精工舎内

⑳ 出 願 人 セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1
号

㉑ 代 理 人 弁理士 最上務

明 細 書

発明の名称

半導体薄膜結晶化方法

特許請求の範囲

- (1) 少なく共表面が絶縁物よりなる基板上に、本体領域部と、該領域部より幅が狭く該領域部に連続する付加領域部とから成る島状半導体薄膜領域を形成する工程と、前記薄膜領域をビームでアニール走査して結晶化する際に前記付加領域部の幅よりも広いビーム幅で、しかも前記付加領域部を前記本体領域部より先に前記ビームで照射する工程とより成る半導体薄膜結晶化方法。
- (2) 前記付加領域の幅が5μm以下、長さが前記幅以上であることを特徴とする特許請求の範囲第1項記載の半導体薄膜結晶化方法。
- (3) 前記薄膜領域が複数個あり、前記付加領域によって互いに連結されていることを特徴とする特許請求の範囲第1項あるいは第2項記載の半導体

薄膜結晶化方法。

発明の詳細な説明

本発明は、半導体薄膜トランジスタ(以下TFTと称す)を有する集積回路中のTFTサイズの島状半導体薄膜を結晶化する方法に関するものである。

従来、絶縁物基板上の半導体薄膜の結晶化方法は、主にレーザ、電子線、ランプ、ヒーター等のビームアニール技術を利用したグラフォ・エピタキシー、グレイン成長、ブリッジングエピタキシー、SOSなどがある。グラフォ・エピタキシーは、基板に周期的な凹凸(レリーフ)を設けて、再結晶核の安定位置を与えかつ方位をそろえて薄膜を単結晶化しようとするものである。この方法では、基板に凹凸を設ける工程が必要であり、薄膜表面に凹凸を生じてしまう。また、ブリッジングエピタキシーは、単結晶基板上に開孔を有する絶縁膜を設け、その上の薄膜を開孔部の基板を種結晶として結晶化するものであるが、基板には単

結晶材料を用いなければならない。さらにSOS (Silicon on Sapphire または Spinel) では、基板に高価なサファイアやスピネルの単結晶基板を必要とする。

これらに対し、グレイン成長は熔融石英やガラスなど非晶質の基板を用いることができ、かつ表面は平坦でよい。しかし、単に平坦な基板上の半導体薄膜をビームアニールしただけでは単結晶膜にはならない。そこで、種々の方法が試みられている。例えば、基板(SiO₂/Si単結晶)全面に堆積した多結晶Si層をOxideレーザーでアニールすると、粒径が数μm以上になるのに対し、多結晶層を島状にすると2×20μm²の場合には単結晶、25×25μm²以上では数μmの粒径になる(Applied Phys Letters 33巻 775頁 1978年及び34巻831頁 1979年)。また、ヒーターやランプを用いた帯域溶融法においては、基板上のSi薄膜を端から数mmの単結晶層を得ている。(例えば、Applied Phys Letters 57巻 454頁 1980年及

び41巻 824頁 1982年)しかし、これら帯域溶融法では基板を1000~1200℃に予熱しておくため、低融点のガラス基板の如きものは使えない。さらに、三次元集積回路に適用しようとするれば、基板内につくられた不純物添加領域が大きく再分布してしまう。

本発明は、以上の様な状況に鑑みなされたもので、特に島状薄膜のグレイン成長方法を改善するものである。本発明では、特に小さな島状薄膜が溶融再結晶によって単結晶化することを利用し、それを種結晶として大きな島状薄膜を結晶化することである。そのため、本発明においては半導体薄膜を島状にする際、幅が充分狭い小面積の領域(付加領域部)と面積の大きい本体領域部から成る島状半導体薄膜とし、ビームアニール等で溶融再結晶する場合に付加領域に先にビームを照射し単結晶化し、引き続いて横方向エピタキシーを利用して本体領域部を結晶化することである。

以下に図面を用いて本発明を詳述する。第1図には、本発明の実施例が模式的に平面図で示され

る。第1図(a)では、島状半導体薄膜(例えば非晶質Si—α—Si)1は幅W、長さLの付加領域部3と幅W、をもつ本体領域部2から成り、直径もしくはビーム幅Dをもつアニール用ビーム10がα方向に走査される例が示されている。島状α—Si膜1は、酸化膜(SiO₂)や窒化膜(Si₃N₄)等絶縁物で表面を被覆されたSiや金属、または石英、ガラス、セラミックス、等絶縁物の基板上に衆知のフォトリソグラフィ等で形成される。本体領域部2には将来TFT等の半導体デバイスが形成され、それに必要な充分の面積をもっている。付加領域部3は、再結晶化する際単結晶となりやすくするため充分狭い幅Wをもち、かつ本体領域部2があるための熱的影響を少なくするため充分な長さLを有している。幅Wは狭い程度でよく、典型的には5μm以下、長さLは幅W以上、さらに望ましくは10μm以上が選ばれる。勿論幅Wは、ビーム幅Dより狭いが、本体領域部2の幅Wは必ずしもビーム幅Dより狭い必要はない。第1図(a)の例は、例えば絞ら

れたレーザー・ビーム10がα方向に高速で走査された後、γ方向にビーム幅Dよりも小さく変位して再びX軸と平行に高速走査する方式に適用して本発明の効果が大きい場合である。とにかく付加領域部3が本体領域部2よりも早くアニールされる様な配置をとる必要がある。第1図(b)は、第1図(a)と同様方式のビームアニールに適用した例であり、本体領域部2と付加領域部3の間に幅が徐々に変化する領域4を設けたものである。第1図(c)は、ビーム幅Dに対し本体領域部2の幅Wが小さいときには、付加領域部3は本体領域部2の幅方向の中央部近くにつけられることを示す。

第2図には、α軸方向にビームを高速走査し、γ方向にステップまたは低速走査する場合、島状領域1の左右どちら側からビームが走査されても本発明の目的を達成できる例を示した。第2図(a)は、本体領域部2の両側のX軸方向に延在する様に2つの付加領域部3、3'を設けた例、第2図(b)はさらに付加領域部3、3'の幅を徐

々にかえた例である。

第3図では、付加領域3をさらに種結晶形成領域3 α と結合領域3 β (種結晶形成領域3 α と本体領域部2の間の連結)とから成り立たせた例が示される。第3図(a)では、種結晶形成領域3 α は幅 W_1 、 W_2 としてビーム幅D及び本体領域部2の幅 W より狭く、かつ単結晶化しやすい様極力小面積であり、また結合領域3 β は前記 W_1 より細い幅で長さ L より成る例を示した。結合領域3 β は、種結晶形成領域3 α の単結晶化に本体領域部2が影響を与えない様に設けたものである。種結晶形成領域3 α は極力小面積になる様に、例えば $5\mu m \times 5\mu m$ に選ばれ、結合領域3 β の幅は $2\mu m$ 、長さ $10\mu m$ 程度に選ばれる。

第3図(b)の例では、結合領域3 β に幅の傾斜をもたせている。この様にすれば、さらに種結晶形成領域3 α の単結晶化が容易である。

第4図は、本発明を応用した例を示し、複数の本体領域2、12、22、32、……が付加領域3、13、23、33、……をそれぞれ有し、か

つ互いにX軸(スキャン方向)に連結している。ビームアニールで形成された最初の付加領域3(または3')の結晶面、結晶方向は全本体領域2、……、32、……で同じにできる利点を有す。しかも細い付加領域13、23、33、……の存在のため、たとえ1つの本体領域に欠陥が生じても、他の本体領域に伝播しにくいことも他の利点である。

第5図は、ビーム幅Dが充分広いとき、例えばランプやヒーター等による帯域溶融法の場合に適用した例を示す。この場合、ビーム幅Dは充分広いので、付加領域3の長さ方向とスキャン方向(X方向)は必ずしも平行である必要はなく、また矩形の本体領域2の各端部もスキャン方向と平行または直角である必要は必ずしもない。即ち、ビーム幅Dが島状領域1の大きさに比し充分大きければ、第1図から第4図の例においても、X軸と平行にビーム走査する必要がないことを示した。

以上の様に本発明によれば、島状薄膜領域1がたとえ $25 \times 25\mu m^2$ より大面積でも容易に単

結晶化できること、アニール用のビーム径が小さくても基板上の全島状薄膜を単結晶化可能なこと、また本発明適用において従来工程より工数は増えないこと等の利点をもつ。以上の実施例においては、特に半導体薄膜上にキャップと称する絶縁膜を設ける例を示さなかったが、これは勿論利用できる。半導体薄膜として $\alpha-Si$ を例にとったが、多結晶Si膜、他の半導体材料例えばGe、GaAs等III-V化合物、II-VI化合物にも適用される。本発明で設けた付加領域部3は、デバイス製作においては配線の一部等に利用できるし、場合によっては除去してもよいので、格別の不都合は生じない。

本発明は、上記の如く簡単な方法で絶縁物上に結晶薄膜が得られるので、半導体装置の性能向上、低価格化に大きく寄与する。

図面の簡単な説明

第1図(a)から(c)、第2図(a)と(b)、第3図(a)と(b)、第4図及び第5図は

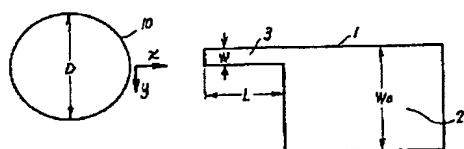
それぞれ本発明の実施例を説明するための模式的平面図である。

- 1 …… 島状半導体薄膜領域
- 2 …… 本体領域部
- 3 …… 付加領域部
- 10 …… ビーム
- X …… ビーム主走査軸

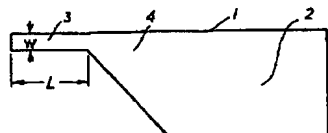
以 上

出願人 株式会社第二精工舎
代理人 弁理士 最上 務

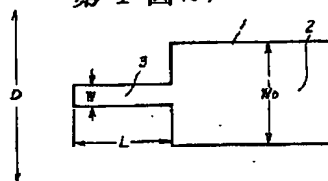
第1図(a)



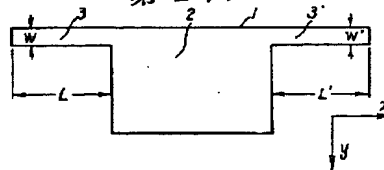
第1図(b)



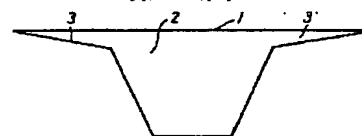
第1図(c)



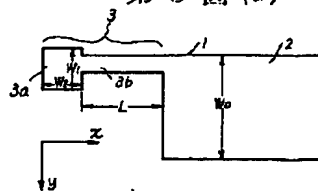
第2図(a)



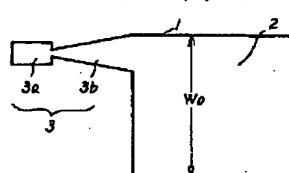
第2図(b)



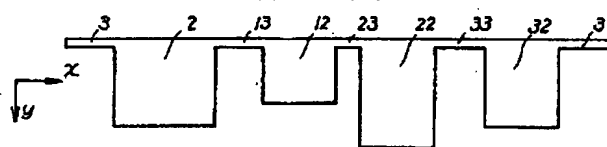
第3図(a)



第3図(b)



第4図



第5図

